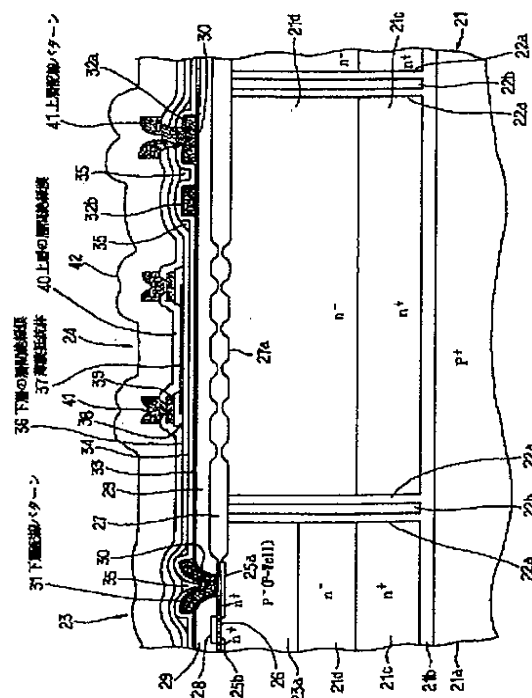


(11)特許出願公開番号

(43)公開日 平成10年(1998)5月29日



【特許請求の範囲】

【請求項1】 絶縁膜上に形成される薄膜抵抗体を有する多層配線構造の半導体装置において、前記多層配線構造をなす下層配線パターンと上層配線パターンとの間に積層される下層および上層の層間絶縁膜を備え、前記薄膜抵抗体は、前記下層および上層の層間絶縁膜の間に形成されていることを特徴とする半導体装置。

【請求項2】 前記下層および上層の層間絶縁膜は、TEOS（テトラエトキシシラン）膜を含んで構成され、そのTEOS膜は少なくとも前記薄膜抵抗体を形成する層を挟んで下層および上層の2層に分離するように形成していることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記薄膜抵抗体は、CrSi系の抵抗体材料の薄膜により構成されていることを特徴とする請求項1または2記載の半導体装置。

【請求項4】 前記薄膜抵抗体は、前記上層の配線パターンに対して薄膜抵抗用のアルミニウム系電極を介して電気的に接続されていることを特徴とする請求項1ないし3のいずれかに記載の半導体装置。

【請求項5】 前記薄膜抵抗体と前記アルミニウム系電極との間には、バリアメタル層が設けられていることを特徴とする請求項4に記載の半導体装置。

【請求項6】 前記バリアメタル層は、TiWであることを特徴とする請求項5記載の半導体装置。

【請求項7】 前記薄膜抵抗体は、上層の配線パターンにより下層の配線パターンとの間の電気的接続が行われるように構成されていることを特徴とする請求項1ないし6のいずれかに記載の半導体装置。

【請求項8】 半導体基板上に薄膜抵抗体を形成する工程を含んでなる半導体装置の製造方法において、前記半導体基板上に第1の絶縁膜を形成する工程と、この第1の絶縁膜により前記半導体基板の表面が覆われた状態で所定部位に前記薄膜抵抗体を形成する工程と、第2の絶縁膜を形成する工程とを設けたことを特徴とする半導体装置の製造方法。

【請求項9】 前記下層および上層の層間絶縁膜としてTEOS膜を形成することを特徴とする請求項8記載の半導体装置の製造方法。

【請求項10】 前記薄膜抵抗体の形成工程においては、薄膜抵抗体としてCrSi膜を形成することを特徴とする請求項8または9記載の半導体装置の製造方法。

【請求項11】 前記上層の層間絶縁膜の形成工程に先だって、前記薄膜抵抗体用のアルミニウム系電極を形成する工程を設けたことを特徴とする請求項8ないし10のいずれかに記載の半導体装置。

【請求項12】 前記薄膜抵抗体の形成工程においては、前記薄膜抵抗体の形成に続いてバリアメタル層を形成することを特徴とする請求項8ないし11のいずれかに記載の半導体装置の製造方法。

【請求項13】 前記バリアメタル層としてTiW膜を形成することをとくちょうとする請求項12記載の半導体装置の製造方法。

【請求項14】 前記第2の絶縁膜の形成工程に続いて、前記薄膜抵抗体との電気的接触を図るための開口部を形成する工程を設け、

前記上層の配線パターンの形成工程において、前記薄膜抵抗体と前記下層の配線パターンとの間の電気的接触を得るようにしたことを特徴とする請求項8ないし13のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜抵抗体を有する多層配線構造の半導体装置およびその製造方法に関する。

【0002】

【従来の技術】半導体装置として特に集積回路においては、その構成要素として絶縁膜上に薄膜抵抗体を形成して用いるものがあり、例えば、特開平2-58259号公報、特開平5-175428号公報あるいはUSP5382916号に示されるようなものがあり、薄膜抵抗体の材料としては、CrSi系あるいはNiCr系などの材料を用いたものがある。

【0003】この場合、CrSi系（CrSiあるいはCrSiNなど）の薄膜抵抗体は、その組成比や熱処理の制御によって、抵抗値の変化率が通常の半導体デバイスの使用温度範囲においてほぼ一定した正、負または零の値に設定することができる。また、このような薄膜抵抗体は、半導体装置の製造過程において比較的簡単に形成することができるという利点があることから注目されているもので、電気的には高抵抗から低抵抗までの幅広い抵抗値のものを作り込むことができるので、回路素子として広い用途に使用することができるものである。

【0004】このような薄膜抵抗体の形成工程として、例えばMOSFETの半導体集積回路にCrSiの薄膜抵抗体を形成する場合に適用したものが図15ないし図18に示されている。図15は半導体基板としてのシリコン基板1にトランジスタ形成工程を経てFET領域2を設けた状態を示しており、FET領域2にはソース領域3が形成される（接合深さ x_j は、例えば $0.45\mu\text{m}$ 程度）と共に、LOCOS膜4、ゲート酸化膜5、ゲート電極（ポリシリコン）6、BPSG（ボロンリンガラス）膜7が形成されており、ソース領域3に対応してBPSG膜7にはコンタクトホール7aがウェットエッチング処理により形成されている。

【0005】この状態で、薄膜抵抗体8となるCrSi膜8a（例えば膜厚 15nm 程度）およびバリアメタル層9となるTiW膜9a（例えば膜厚 170nm 程度）がスパッタにより全面に形成される。この場合、CrSi膜8aおよびTiW膜9aは、真空中にて連続スパッ

タにより形成するか、あるいはCrSi膜8aを形成した後に行ったんウエハを大気圧中に取り出した後に再びTiW膜9aをスパッタにより形成する方法が用いられる。

【0006】次に、図16に示すように、FET領域2から離れた位置のBPSG膜6上の薄膜抵抗体8を形成する領域にフォトリソグラフィ処理によってフォトレジスト10をパターンニングする。この後、フォトレジスト10によりパターンニングされた部分を除いてTiW膜9aおよびCrSi膜8aをエッチング処理により除去する。まず、TiW膜9aは、 H_2O_2/H_2O （過酸化水素水）のウェットエッチング処理および $H_2O_2/NH_4OH/H_2O$ （過酸化水素水+アンモニア水）によりライトエッチング処理によって剥離され、続いてCrSi膜8aは、 CF_4/O_2 ガスを用いたドライエッチング処理により剥離される。このとき、ドライエッチング処理では、コンタクトホール7aに露出しているシリコン基板1の表面も10～20nm程度エッチオフされる。

【0007】続いて、フォトレジスト10を剥離した後に、図17に示すように、バリアメタルとしてのTiN膜11を形成すると共にこれに続けて1stAl（第1層アルミニウム配線）12となるAlSiCu膜（例えば膜厚0.9μm）をスパッタにより形成し、フォトリソグラフィ処理によりフォトレジスト13を配線パターンとなるようにパターンニングする。次に、Alエッチング処理をRIE（反応性イオンエッチング）によるドライエッチング処理で行う。このエッチング処理においては、薄膜抵抗体8部分は、バリアメタル（TiW膜）9により保護されており、CrSi膜はエッチングされない。

【0008】次に、図18に示すように、バリアメタル9をウェットエッチング処理により剥離する。このとき、エッチング液としてはライトエッチングと同様に $H_2O_2/NH_4OH/H_2O$ （過酸化水素水+アンモニア水）を用いる。なお、このエッチング処理において、TiW膜9aのエッチング残りを防止するためにオーバーエッチングを行うと、逆に、フォトレジスト13下の部分（図中Aで示す部分）のTiWも徐々にエッチングされるので、アンダーカット状態になりやすい。また、1stAl膜12と薄膜抵抗体8との間に残ったTiW膜9aは、バリアメタルとしてCrSiとAlSiCuとの相互拡散を防止することができるので、結果として薄膜抵抗体8の抵抗特性が劣化するのを防止できる。

【0009】この後、フォトレジスト13は酸素プラズマによるアッシング処理で剥離され、薄膜抵抗体8および1stAl膜12の形成工程が終了する。この後は、全体に保護膜が形成されるなどの後処理が行われて集積回路のチップが形成されるようになっている。

【0010】

【発明が解決しようとする課題】ところで、近年の素子の微細化、高集積化に伴って拡散層（pn接合）のシャロー化およびAl配線加工の微細化のために、Alのドライエッチング処理のプラズマ高密度化が進んでいる。そこで、発明者らは、このようなマイコンクラスの集積密度のプロセスの半導体集積回路装置に前述した薄膜抵抗体を形成することを想定して検討を行ってみた。以下、図19ないし図22を参照してそのプロセスについて説明する。

【0011】マイコンクラスの高集積密度では、パターンの幅寸法と開口寸法の限度が1/1μm程度となり、また、pn接合の深さ寸法xjも0.15μm程度のレベルが要求されるようになる。このような設計ルール（0.8μmルール）に基づいたプロセスにおいては、上述したように、ドライプロセスが主となってきており、このようなシステムの下においても薄膜抵抗体を高品質で作り込むことができるようにすることが望まれる。

【0012】図19ないし図22は前述した薄膜抵抗体の形成プロセスを同等の構成部に適用したもので、この場合においては、FET部14は、ソース領域3に代わるソース領域15の接合深さxjが0.15μm程度に設定されている点と横方向のスケールが1/5程度に設定されている点を除くと、形状的には略同じものである。

【0013】図19は、図15相当の図であり、薄膜抵抗体8のCrSi膜8aおよびバリアメタル9のTiW膜9aを形成した状態を示している。この場合、BPSG膜7にコンタクトホール7aを形成した後に900～950℃程度の温度でリフロー処理を行っている。

【0014】次に、図20に示すように、フォトレジスト10を薄膜抵抗体8のパターンとなるようにフォトリソグラフィ処理により形成し、続いて、ドライエッチング処理によりTiW膜9aおよびCrSi膜8aをエッチングする。このとき、コンタクトホール7a部分に露出しているシリコン基板1の表面が同時にエッチオフされるので（10～20nm程度）、ソース領域15のpn接合深さ寸法は0.15μmよりも浅くなってしまふ。

【0015】続いて、図21に示すように、1stAl膜12となるAl/TiN/Tiをスパッタにより形成し、この後、フォトリソグラフィ処理によってフォトレジストを塗布すると共にパターンニングして配線パターンとなるレジストパターンを形成する。この状態で、アルミニウムのドライエッチングをECR（Electron cyclotron resonance）によって行う。この場合、ECRドライエッチング処理を用いるのは、高集積密度の0.8μmルールにおいて要求される微細加工に対応するためで、低エッチング圧力で高密度のプラズマが得られるという特性を有するからであり、このクラスのプロセスと

しては一般的なものである。

【0016】ところが、1st Al膜12がECRドライエッチング処理によりエッチングされると、薄膜抵抗体8のバリアメタル9が露出する部分ではバリアメタル9のTiW膜9aがエッチングされるようになる。すると、その下に設けられている薄膜抵抗体8のCrSi膜もエッチオフされてしまうことになり、薄膜抵抗体8を残せなくなってしまう場合が生ずる。

【0017】次に、このプロセスにおいては、図22に示すように、層間絶縁膜としてP-SiN（プラズマ窒化膜）膜16を形成した後、フォトリソグラフィ処理によって薄膜抵抗体8部分のP-SiN膜16をエッチング処理により除去し、続いて、バリアメタル9のTiW膜9aをウェットエッチング処理により除去して薄膜抵抗体形成工程を終了する。

【0018】この結果、コンタクトホール7aを形成した状態でCrSi膜8aをドライエッチング処理によりエッチングするときに、コンタクトホール7a部分に露出しているシリコン基板1の表面が10～20nmエッチングされてしまうことによりpn接合の深さが浅くなるので、浅い接合深さに設定される0.8μmルールを採用する場合にはpn接合がダメージを受け易くなり、pn接合部分でリーク電流が無視できない程度に大きくなってしまい不具合が出てくる。

【0019】この点で、このような不具合を回避するために、例えば、コンタクトホール7aを形成する前の段階で薄膜抵抗体8の形成工程を実施することもひとつの案としては考えられるが、この場合には、薄膜抵抗体8の熱的な安定性の問題があり、コンタクトホールの形成工程でセカンドリフロー処理やレジストバークなどの500℃を超える高温の熱処理が行われる場合には、CrSi膜8aが変質して所望の抵抗値を残すことができなくなるため、簡単には採用することができない事情下にある。

【0020】また、薄膜抵抗体8自体についても、1st Al膜12のエッチング処理時にECRドライエッチング処理を採用するとバリアメタルとしてのTiW膜9aがエッチオフされてしまうことからCrSi膜8aそのものがエッチングされてしまうことになり、所望の抵抗値を有する薄膜抵抗体8を形成できなくなるかあるいは精度良く形成することができなくなり、安定した製造工程として採用することができなくなるという不具合が出てくる。

【0021】発明者らは、この不具合について、別途の試料を作成して検証をした。すなわち、図23はアルミニウム膜をドライエッチング処理により剥離する場合に、RIEを用いるかあるいはECRを用いるかによってどの程度の差が出るかを測定した結果を示すもので、測定を行った試料は図24に断面で示す構成を採用している。すなわち、試料は、シリコン酸化膜SiO₂膜上

に所定のパターンでTiW膜を所定厚さ寸法で形成し、これにアルミニウム膜を被着した後、フォトレジストをパターンニングしてアルミニウムエッチング処理を行ったものである。

【0022】図23において、横軸には被着したアルミニウム膜のエッチング処理時間が膜厚分を剥離するのに必要な時間を経過した時点ゼロとしてオーバーエッチング時間を取っており、縦軸にはそのときのTiW膜の残存膜厚をnm単位で示している。そして、この結果から分かるように、RIEドライエッチング処理では、TiW膜はほとんどそのまま残るのに対して、ECRドライエッチング処理では、TiW膜が急速にエッチオフされてしまうので、RIEドライエッチング処理で設定しているようなオーバーエッチング時間を設定すると、TiW膜はほとんどなくなってしまうことになる。

【0023】また、図25は、同じECRドライエッチングでも、TiW膜を全面に被着した状態で行う場合と、図26に示すようにフォトリソグラフィ処理を経てTiW膜をパターンニングした状態で行う場合とでは、CrSi膜をエッチングする関係から、後者の方が初期的な膜厚が大きく低下してしまうことに起因して、やはりTiW膜がほとんどエッチオフされてしまうことが判明した。

【0024】本発明は、上記事情に鑑みてなされたもので、その目的は、マイコンクラスの高集積化した設計ルールを適用する半導体装置においても薄膜抵抗体を採用した構成とすることができ、特に、第1の目的として、コンタクト工程の後に薄膜抵抗体の形成工程を実施する際においてもその形成工程に起因するpn接合でのリーク電流不良の発生を極力抑制できるようにした半導体装置およびその製造方法を提供することにある。

【0025】また、本発明の第2の目的は、同様に、マイコンクラスの高集積化した設計ルールを適用する半導体装置においても薄膜抵抗体を採用した構成とすることができ、特に、アルミニウムの配線パターンの形成工程におけるアルミニウムのエッチング処理を行う場合に、下地部分に薄膜抵抗体が積層されていることによりエッチオフされてしまうといったことを防止できる半導体装置およびその製造方法を提供することにある。

【0026】

【課題を解決するための手段】請求項1の発明あるいは請求項8の発明によれば、多層配線構造における層間絶縁膜を2層に分割した下層および上層の層間絶縁膜とし、それらの間に薄膜抵抗体を形成しているので、薄膜抵抗体を形成する過程では薄膜抵抗体以外には下層の層間絶縁膜が露出した状態となるので、他の加工処理との競合がなくなり、薄膜抵抗体の形成工程が他の処理による悪影響を受けることがなくなると共に、薄膜抵抗体の形成工程を実施することにより他の部分が悪影響を受けることをなくすことができ、安定した品質の薄膜抵抗体

を含む半導体装置を得ることができるようになる。

【0027】請求項2の発明あるいは請求項9の発明によれば、層間絶縁膜として一般的に用いられるTEOS膜を2層に分割したものを下層および上層の層間絶縁膜としているので、特殊な工程を追加することなく薄膜抵抗体を形成する工程を他の工程との干渉を起こすことなく実施することができるようになる。

【0028】請求項3の発明あるいは請求項10の発明によれば、薄膜抵抗体としてCrSi系の抵抗材料を用いているので、その組成比や熱処理の制御によって抵抗値の変化率が使用温度範囲においてほぼ一定した値となるようにすることができ、安定した特性を再現性良く得ることができる。

【0029】請求項4の発明あるいは請求項11の発明によれば、薄膜抵抗体用のアルミニウム電極を介して上層の配線パターンと電気的に接続する構成とされているので、上層の配線パターンを形成する際に薄膜抵抗体が直接露出することがなくなり、アルミニウム系の配線パターン材料に対して同等の処理を請求項5、6の発明あるいは請求項12、13の発明によれば、薄膜抵抗体の上にはバリアメタル層が形成されているので、薄膜抵抗体がエッチングされやすい場合でもこれを保護することができるので、製造工程が安定したものとなることができ、さらには、配線用メタルとしてのアルミニウム系の導体膜と薄膜抵抗体とが直接接触する構造と異なり、相互拡散による劣化を防止することができるようになる。

【0030】請求項7の発明あるいは請求項14の発明によれば、形成された薄膜抵抗体との電気的接続が上層の配線パターンによってなされるので、薄膜抵抗体の形成工程中に他の形成工程を入れることなく下層の配線パターンとの間の電気的接触を図ることができるようになる。

【0031】

【発明の実施の形態】以下、本発明をマイコンクラスの設計ルール（例えば0.8 μ mルール程度の設計レベルの集積度）を採用したMOSFETの集積回路に適用した場合の一実施例について図1ないし図14を参照して説明する。

【0032】図1は、本発明の製造方法によって製造された半導体装置である高集積密度のMOSICの一断面を模式的に示すもので、シリコン基板21はSOI（silicon on insulator）構造のもので高不純物濃度のp形基板層21a上にシリコン酸化膜層（SiO₂）21bを介して高不純物濃度のn形層21cおよび低不純物濃度のn形層21dが積層されている。このシリコン酸化膜層21bより上部側は素子形成領域となるもので、トレンチを形成してシリコン酸化膜22aおよび多結晶シリコン層22bを形成する所謂トレンチ分離を行うことによりFET形成領域23および薄膜抵抗体形成領域24に分離形成している。

【0033】FET形成領域23は、低不純物濃度のn形層21dにp形不純物を導入することによりp形ウェル層23aが設けられており、この表面部には高不純物濃度n形のソース領域25aおよび高不純物濃度n形のドレイン領域25bが形成されている。なお、この場合におけるソース領域25aやドレイン領域25bはpn接合の深さ寸法xjは、この設計ルールにおいて0.15 μ m程度となるように設定されている。

【0034】FET形成領域23の表面にはソース領域25aとドレイン領域25bとの間に渡って所定厚さ寸法のゲート酸化膜26が形成されており、他の部分にはフィールド酸化膜としてのLOCOS（local oxidation of silicon）膜27が形成されている。この場合、LOCOS膜27は、後述するトリミングを行う部分に対応してレーザ光を散乱させるための凹凸部が形成されるように平面的には市松模様となるように配置形成した領域27aが形成されている。

【0035】FET形成領域23のゲート形成部分にはポリシリコンからなるゲート電極28が形成されており、これらの上部にはBPSG膜29がCVDなどにより形成されている。ソース領域25a（およびドレイン領域25b）にはコンタクトホールが形成されており、TiN膜30および1stAl膜としてのAlSiCu膜31が成膜され、ソース電極（およびドレイン電極）が形成されている。また、この1stAl膜31の配線パターンでは、コンタクト以外にBPSG膜29上にも配線パターン32a、32bを形成している。

【0036】層間絶縁膜としては、P-SiN膜（プラズマ窒化膜）33上に、第1TEOS膜34が形成され、SOG（spin on glass）35により平坦化された状態のところから第2aTEOS膜36が成膜されている。この第2aTEOS膜36上には、所定の位置に薄膜抵抗体37が形成されている。この薄膜抵抗体37は、CrSi膜をスパッタリングにより膜厚15nm程度形成している。そして、この薄膜抵抗体37の両端部にバリアメタルとなるTiW膜38を介して薄膜抵抗体用電極としてAlSi膜39を形成している。

【0037】これらを覆うように層間絶縁膜としての第2bTEOS膜40が形成され、所定の部分にVia41a、41b、41cなどが形成され、これらを介して2ndAl膜としてのAlSi膜42が形成されている。そして、最上層には素子全体を保護するためのパッシベーション膜としてP-SiN膜43が形成された状態に構成されている。

【0038】なお、上述の構成において、第2aTEOS膜36および第2bTEOS膜40は、一般的な層間絶縁膜の形成工程において用いられる第2TEOS膜を2回に分けて積層したもので、それらの厚さ寸法の和は一層のみ形成する通常の工程で用いられるものと同等の厚さ寸法となるように設定されている。

【0039】さて、このようにして製作されたチップは、CrSi膜37によりなる抵抗値を調整するために、レーザ光線によりトリミング処理されるようになっている。このとき、薄膜抵抗体37の形成領域の下部にはLOCOS膜27が細かい凹凸をなす領域27aとして形成されているので、レーザ光をこの部分で散乱させることができ、これによって光の干渉等によるトリミング処理に対する悪影響を防止する構造となっている。

【0040】さて、次に、上記したMOSICの製造方法について図2ないし図14をも参照して説明する。ここでは、製造工程を図2に示す10のプロセスP1～P10に分けており、これらの各プロセスを以下に順次説明する。

【0041】〔プロセスP1〕…トランジスタ形成工程
図3に示すように、SOI構造のシリコン基板21は、あらかじめ高不純物濃度p形の基板層21a上にシリコン酸化膜層21bを介して高不純物濃度n形層21cおよび低不純物濃度n形層21dが積層されたもので、このようなシリコン基板21に対して、これに形成するMOSFETや薄膜抵抗体などの種々の素子に対応してFET形成領域23あるいは薄膜抵抗体形成領域24を分離工程を経て設ける。

【0042】この場合、分離工程では、各領域23、24に対応してそれらの境界部分にシリコン酸化膜層21bまで到達する深いトレンチ（溝）をエッチング処理などにより形成し、この後、エッチングにより形成されたトレンチ部分の側壁にシリコン酸化膜22aを形成して各領域23、24を絶縁分離する。この後、トレンチ部分のシリコン酸化膜22aで覆われた部分の空間を多結晶シリコン層22bにより埋めることによりシリコン基板21の表面を平坦化している。

【0043】次に、フォトリソグラフィ処理によりパターンニングを行ってFET形成領域23に対応してイオン注入等の方法により硼素（B）等のp形の不純物を導入し、この後、熱処理を行うことによりp形の不純物を拡散p形ウェル層（p-well）23aを形成する。続いて、CVD法等により窒化シリコン膜（Si₃N₄）を形成すると共にフォトリソグラフィ処理によって各領域23、24の境界部分のトレンチ形成領域の上部に窓を形成し、フィールド酸化膜としてのLOCOS膜27を形成する。このとき、薄膜抵抗体形成領域24のLOCOS膜27は、薄膜抵抗体37のレーザトリミングを行う際の加工性を向上させる構造として、平面的には市松模様状となる凹凸部27aを形成している。

【0044】次に、FET形成領域23のp形ウェル層23aに所定厚さ寸法のゲート酸化膜26を形成すると共に、ポリシリコンをCVD法等により積層してフォトリソグラフィ処理を行うことによりゲート電極28を形成する。この後、nチャンネルMOSFETを形成すべく、p形ウェル層23a内に砒素（As）等のn形不純

物をイオン注入して熱処理を行うことによりソース領域25aおよびドレイン領域25bを形成する。なお、図示はしていないがpチャンネルMOSFETの形成領域には、硼素（B）等のp形不純物をイオン注入してソース領域およびドレイン領域を形成することになる。この後、シリコン基板21の表面全体に層間絶縁膜のひとつとしてBPSG膜29をCVD法などにより所定厚さ寸法だけ形成し、リフロー処理を行う。

【0045】〔プロセスP2〕…コンタクト形成工程
図4に示すように、BPSG膜29に所定のコンタクトホール形成領域に対応してフォトリソグラフィ処理を行って窓部のパターンを形成し、ドライエッチング処理によりBPSG膜29をエッチングしてコンタクトホール29bを形成する。この後、リフロー処理を900～950℃程度で行ってパターンのエッジ部分が図示のようになだらかになるようにする。このとき、コンタクトホール29bにより露出しているソース領域25aおよびドレイン領域25bのシリコンも僅かにエッチングされることになるので、接合深さ寸法xjが少し浅くなる。

【0046】〔プロセスP3〕…1st Al膜形成工程
図5に示すように、下層の配線パターンとしての1st Al膜（第1層目のアルミニウム膜）31を形成する。この場合に、1st Al膜31の形成に先だって、バリアメタルとしてのTiN膜（窒化チタン）30を100nm程度の膜厚で形成し、これに連続してAlSiCu膜31を0.45μm程度の膜厚でスパッタにより形成する。次に、フォトリソグラフィ処理により1st Al膜31の形成部分に対応してレジストパターンを形成し、ドライエッチング処理によりエッチングを行う。このとき、ドライエッチング処理は、ECR（Electron cyclotron resonance）ドライエッチングを行うようにしている。なお、この場合において、ECRドライエッチングを行っても、1st Al膜31以外の部分はBPSG膜29で覆われているので、シリコン基板21の表面にダメージを与えることがない。

【0047】〔プロセスP4〕…層間絶縁膜形成工程（前半）

続いて、下層の層間絶縁膜の形成工程として、次のような順に複数の膜を形成する。まず、図6に示すように、P-SiN膜（プラズマ窒化膜）33を成膜し（処理温度は例えば380℃）、この後、第1TEOS（テトラエトキシシラン）膜34をCVD法により膜厚0.2μm程度を形成する（処理温度は例えば420℃）。次に、図7に示すように、SOG（spin on glass）を塗布し、バークおよびエッチバック処理を行うことにより、SOG35でシリコン基板21の表面の凹凸が多い部分を平坦化するように埋める。

【0048】そして、下層の層間絶縁膜に相当する第2a TEOS膜36をCVD法により膜厚0.3μm程度を成膜する（処理温度は例えば420℃）。このときの

第2a TEOS膜36の膜厚は、後工程で形成する第2b TEOS膜40の膜厚との合成膜厚が従来工程における第2 TEOS膜の膜厚(0.5 μm 程度)と同等となるように設定されている。

【0049】[プロセスP5]…薄膜抵抗体形成工程
次に、図9に示すように、薄膜抵抗体としてのCrSi膜37をスパッタにより15nm程度の膜厚で成膜し、フォトリソグラフィ処理によって薄膜抵抗体形成領域24の部分にフォトレジストをパターンニングし、ドライエッチング処理を行ってCrSi膜37の不要な部分を除去する。このとき、CrSiのドライエッチング処理では、CrSi膜31がエッチングされたときに露出する部分が第2a TEOS膜36であるから、シリコン基板21のシリコン面が露出することがなく、ダメージを受けることがない。

【0050】[プロセスP6]…薄膜抵抗体用電極形成工程

図10に示すように、薄膜抵抗体37が形成された状態の面にバリアメタルとしてのTiW膜38をスパッタにより膜厚0.1 μm 程度成膜する。そして、これに続いて、薄膜抵抗体用電極としてのAlSi膜39を膜厚0.2 μm 程度成膜する。続いて、フォトリソグラフィ処理を行って薄膜抵抗体37の両端部に電極を形成するようにフォトレジストでパターンニングする。

【0051】次に、ウェットエッチング処理によりAlSi膜39のエッチングを行う。このとき、エッチング液としては磷酸と硝酸との混合液を用いているので、オーバーエッチを行っても下側に形成されているTiW膜38をエッチオフすることがない。AlSi膜39をエッチング処理すると、これに続いてSiノジュールエッチング処理を行い、この後、TiW膜39のウェットエッチング処理を行う。この場合にも、上述同様にして下地のCrSi膜37をエッチオフすることがないので、確実にパターンニング処理を行うことができるようになる。なお、AlSi膜39およびTiW膜39のエッチング処理では、同じフォトレジストのパターンを用いているが、TiW膜38とAlSi膜39のエッチングレートの違いにより、下層側のTiW膜38の外周部分がAlSi膜39から露出するようにアンダーカットされた状態にエッチングされる。

【0052】[プロセスP7]…層間絶縁膜形成工程(後半)

図11に示すように、上層の層間絶縁膜としての第2b TEOS膜40をCVD法により膜厚0.3 μm 程度で成膜する(処理温度は例えば420℃)。これにより、薄膜抵抗体37が第2a TEOS膜36と第2b TEOS膜40との間に挟まれた状態に形成されたことになる。

【0053】[プロセスP8]…Via形成工程

図12に示すように、フォトリソグラフィ処理により上

層の配線パターンとしての2nd Al膜41との電氣的接続をとるためのコンタクトホールであるViaを形成する。このとき、Viaは、1st Al膜上のViaとCrSi膜用のAlSi膜のViaを共に形成する。例えば、薄膜抵抗体37の電極であるAlSi膜42に対してVia40aを形成すると共に、1st Al膜32aとの電氣的接続をとるためのVia40bを形成する。

【0054】[プロセスP9]…2nd Al膜形成工程
図13に示すように、2nd Al膜としてのAlSiCu膜41をスパッタにより膜厚0.9 μm 程度成膜する。続いて、フォトリソグラフィ処理により、電極形成部分にフォトレジストのパターンニングを行い、ECRDライエッチング処理によりエッチングを行う。このとき、AlSiCu膜41をエッチングした状態で露出するのは第2b TEOS膜40であるから、薄膜抵抗体37およびその電極39に悪影響を及ぼすことがない。2nd Al膜の配線パターンが形成されると、続いてシンター(処理温度は例えば450℃)を行う。

【0055】[プロセスP10]…パッシベーション膜形成工程

最後に、図14に示すように、全体にパッシベーション膜としてのP-SiN膜42を形成する(処理温度は例えば380℃)。以上のプロセスP1～P10を経ることにより、他のプロセスにて行うエッチング処理などの悪影響を受けたり及ぼしたりすることなく、薄膜抵抗体37を形成することができると共に、1st Al膜31および2nd Al膜41を形成することができるようになる。なお、以上の処理の説明で判るように、薄膜抵抗体であるCrSi膜37の形成工程の後の処理過程においては、CrSiの特性が劣化する500℃以上の温度では熱処理が行われなくなっている。

【0056】このような本実施例によれば、第2a TEOS膜36の形成工程の後に薄膜抵抗体37の形成工程を設けているので、薄膜抵抗体37を形成する際には、シリコン基板21の表面が露出しない状態で処理を行うことができ、これによって浅いpn接合が形成される場合でもコンタクトホール29a部分を介してダメージを受けることがなくなり、安定した処理を行うことができるようになる。

【0057】また、第2b TEOS膜40の形成工程の後に2nd Al膜41の形成工程を実施するようにしたので、その処理過程で薄膜抵抗体37にダメージを与えることがなくなり、安定した処理を行うことができるようになる。

【0058】さらに、上述のように薄膜抵抗体37の形成工程は、コンタクトホール29aの形成工程の後の工程中に行われるので、薄膜抵抗体37が500℃以上の高温の熱処理の条件下にさらされることがなくなり、CrSi膜を変質させることなく安定した抵抗値の抵抗体

として形成することができるようになる。

【0059】加えて、薄膜抵抗体37として、CrSi膜を成膜してからフォトリソグラフィ処理を行う場合にTiW膜などのバリアメタルを設けることなくCrSi膜のみをドライエッチング処理により除去してパターンニングすることができるので、パターンの寸法精度を向上させることができる。

【0060】また、このような薄膜抵抗体37の形成工程を第2aTEOS膜36および第2bTEOS膜40の形成工程の間に実施するので、フォトリソグラフィ処理工程の増加の度合を極力抑制することができる。

【0061】本発明は、上記実施例にのみ限定されるものではなく、次のように変形また拡張できる。バリアメタルとしては、TiW膜以外に、TiN膜、W膜あるいはTi膜などを用いることができる。薄膜抵抗体としては、CrSi膜以外に、NiCr膜などを用いることができる。その膜厚は、5～20nm程度に設定することができる。薄膜抵抗体を形成する半導体装置全般に適用することができる。

【図面の簡単な説明】

- 【図1】本発明の一実施例を模式的に示した断面図
- 【図2】製造プロセスの流れの説明図
- 【図3】プロセスP1の終了時点での模式的断面図
- 【図4】プロセスP2の図3相当図
- 【図5】プロセスP3の図3相当図
- 【図6】プロセスP4の図3相当図（その1）
- 【図7】プロセスP4の図3相当図（その2）
- 【図8】プロセスP4の図3相当図（その3）
- 【図9】プロセスP5の図3相当図
- 【図10】プロセスP6の図3相当図
- 【図11】プロセスP7の図3相当図
- 【図12】プロセスP8の図3相当図
- 【図13】プロセスP9の図3相当図

【図14】プロセスP10の図3相当図

【図15】従来例を示す工程の模式的断面図（その1）

【図16】図15相当図（その2）

【図17】図15相当図（その3）

【図18】図15相当図（その4）

【図19】従来工程の適用を想定して不具合を説明する図15相当図（その1）

【図20】図19相当図（その2）

【図21】図19相当図（その3）

【図22】図19相当図（その4）

【図23】アルミニウムドライエッチングのオーバーエッチング時間とTiW膜の残存厚さとの相関を示す図（その1）

【図24】図23のデータを取得するためのサンプルの模式的断面図

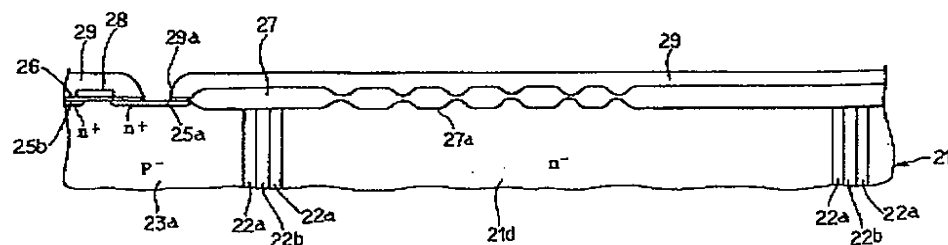
【図25】図23相当図（その2）

【図26】図24相当図

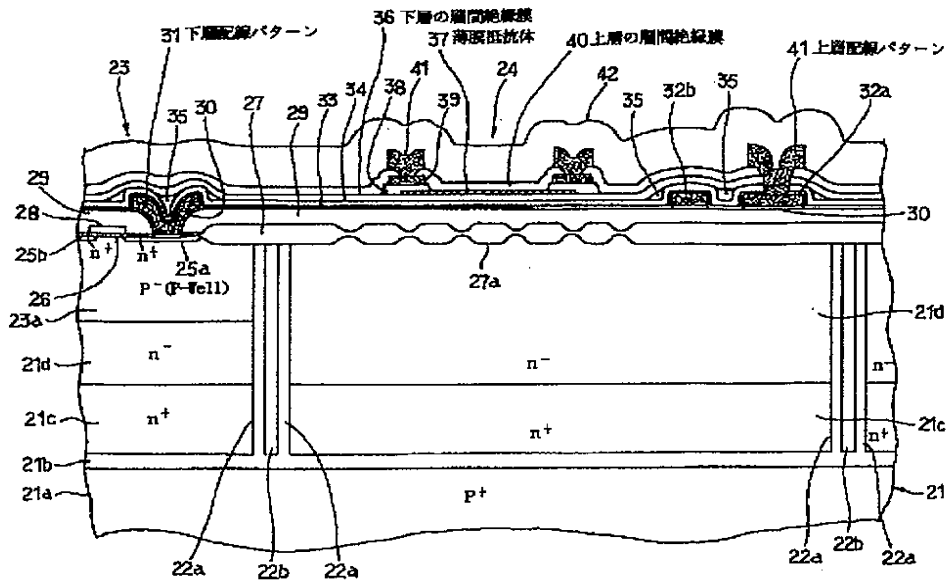
【符号の説明】

図中、21はシリコン基板、21aは基板層、21bはシリコン酸化膜、21cは高不純物濃度n形層、21dは低不純物濃度n形層、22aはシリコン酸化膜、22bは多結晶シリコン層、23はFET形成領域、23aはp形ウェル層、24は薄膜抵抗体形成領域、25aはソース領域、25bはドレイン領域、26はゲート酸化膜、27はLOCOS膜、28はゲート電極、29はBPSG膜、30はTiN膜、31は1stAl膜（下層配線パターン）、32a、32bは配線パターン、33はP-SiN膜、34は第1TEOS膜、35はSOG、36は第2aTEOS膜（下層の層間絶縁膜）、37は薄膜抵抗体（CrSi膜）、38はバリアメタル（TiW膜）、39はAlSi膜（薄膜抵抗体用電極）、40は第2bTEOS膜（上層の層間絶縁膜）、41はP-SiN膜である。

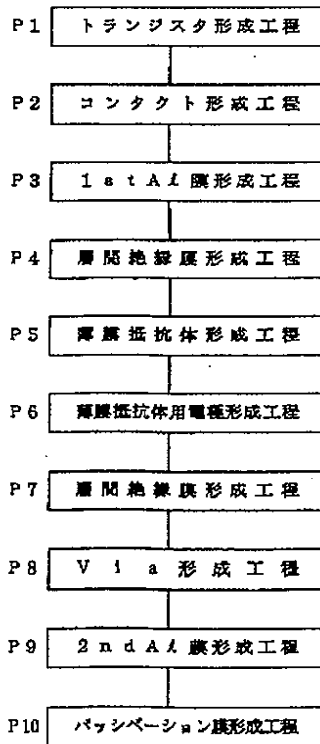
【図4】



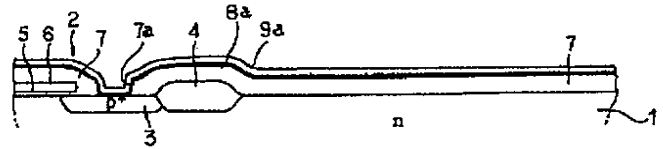
【図 1】



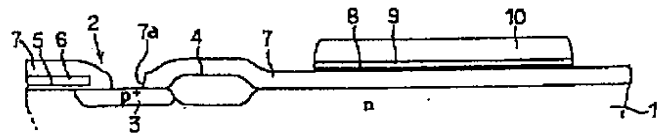
【図 2】



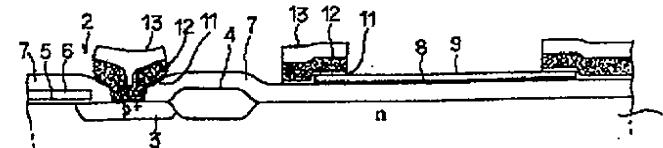
【图 15】



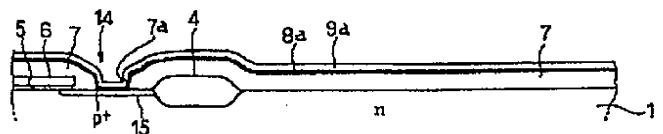
【図 16】



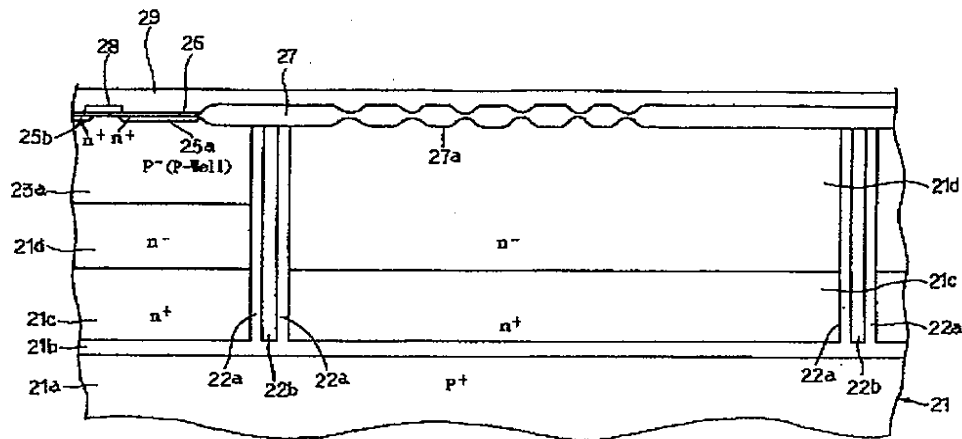
【图 17】



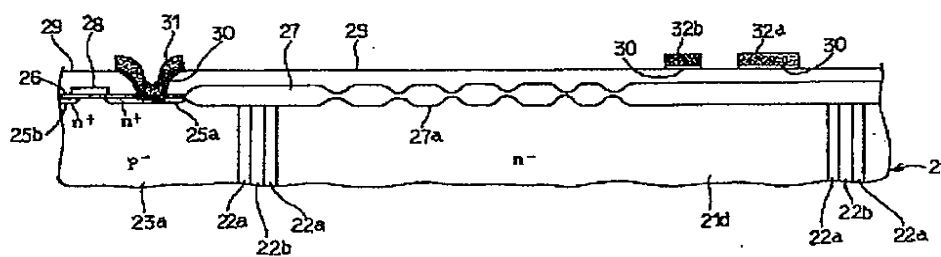
【図 19】



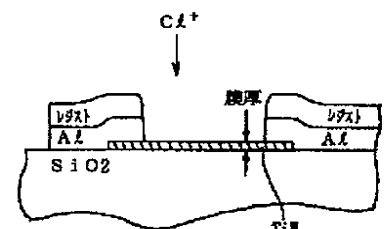
【図3】



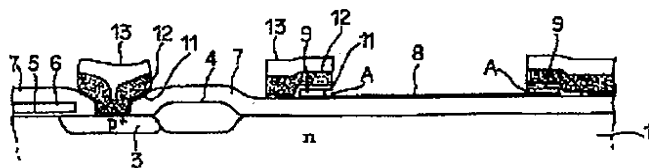
【図5】



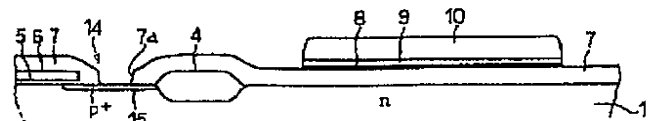
【図24】



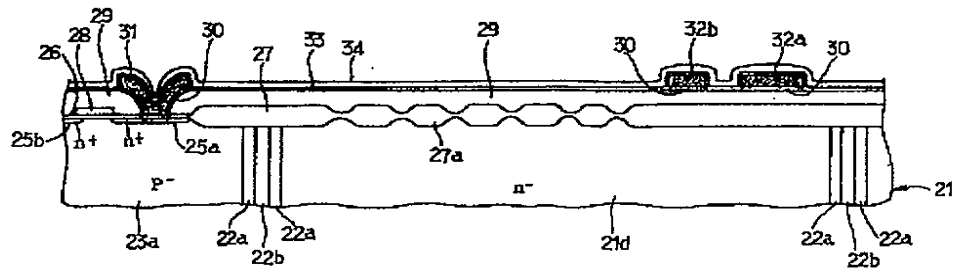
【図18】



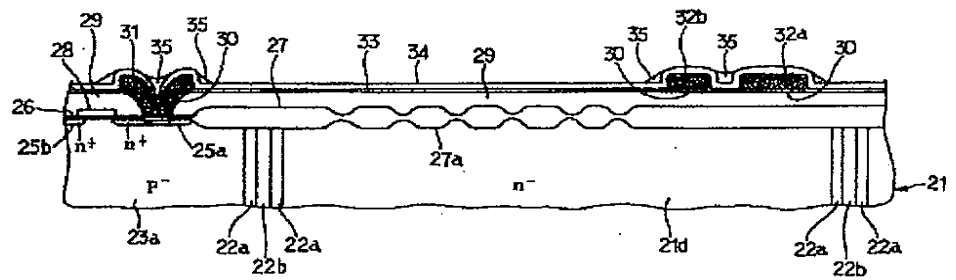
【図20】



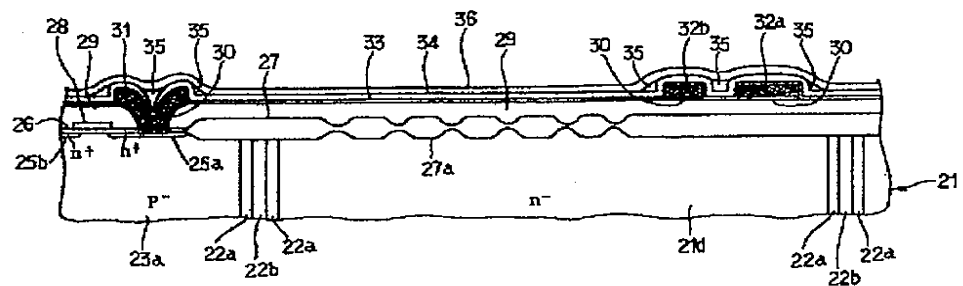
【図6】



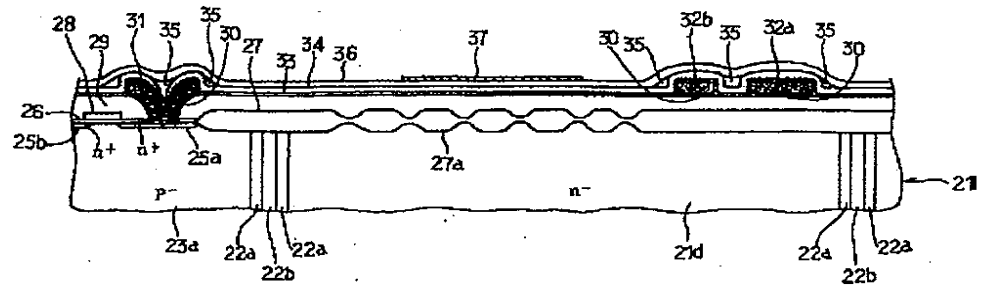
【図7】



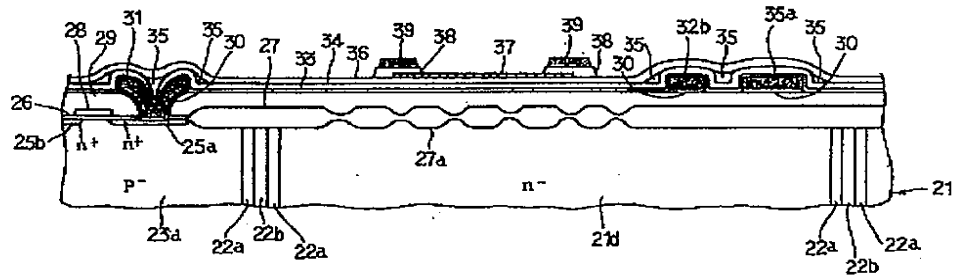
【図8】



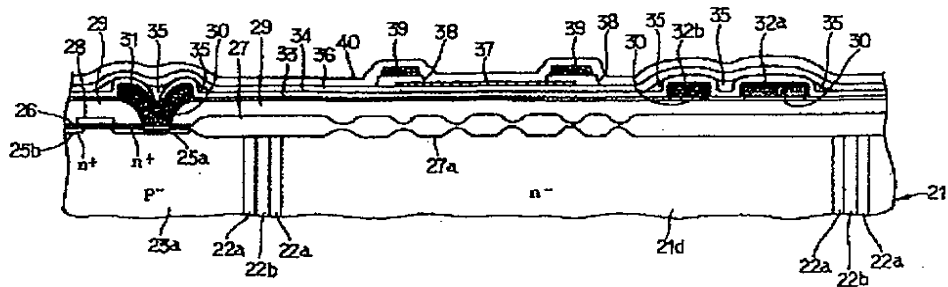
【図9】



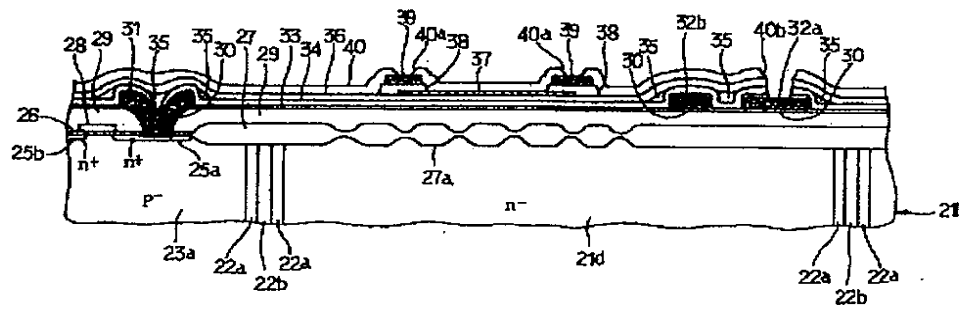
【図10】



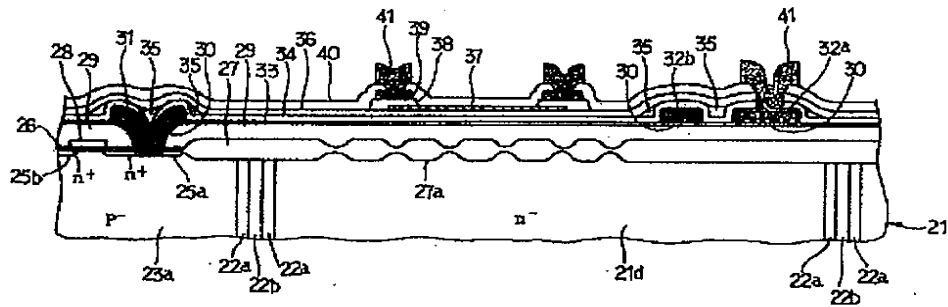
【図11】



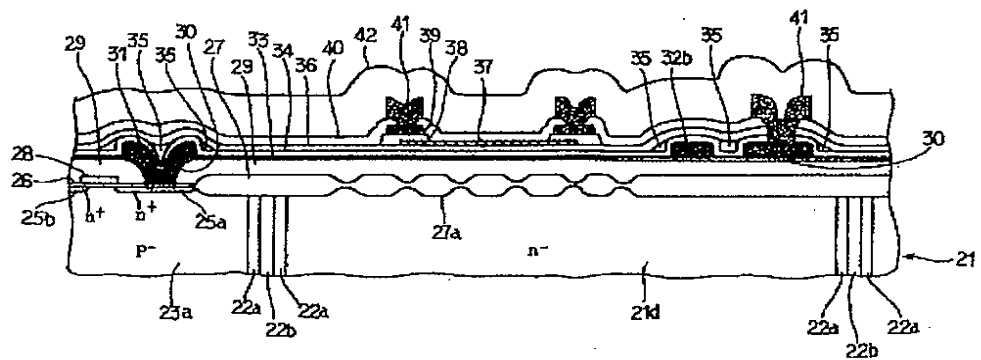
【図12】



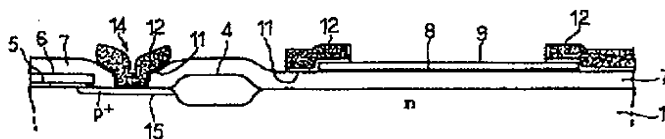
【図13】



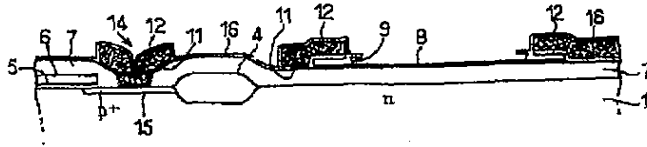
【図14】



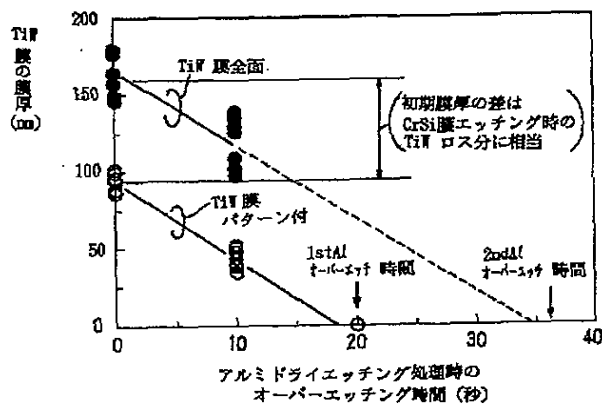
【図21】



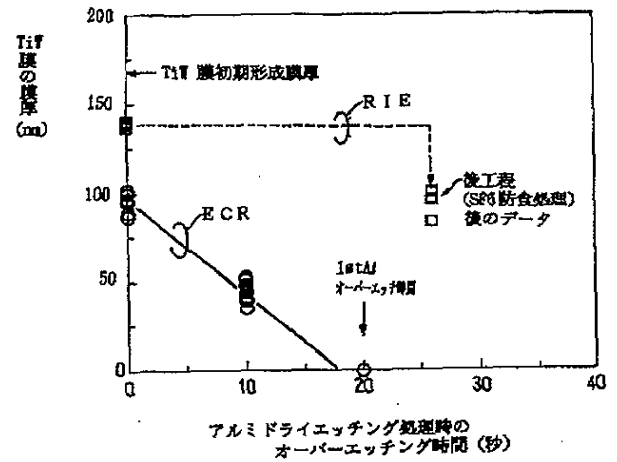
【図22】



【図25】



【図23】



【図26】

